



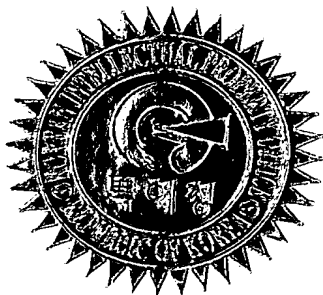
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0049426
Application Number

출원년월일 : 2003년 07월 18일
Date of Application JUL 18, 2003

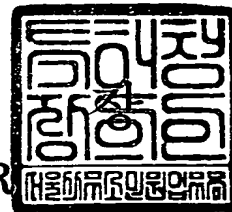
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0064
【제출일자】	2003.07.18
【발명의 명칭】	반도체 소자의 제조 방법
【발명의 영문명칭】	Method of manufacturing a semiconductor device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	김의식
【성명의 영문표기】	KIM,Ui Sik
【주민등록번호】	740410-1037412
【우편번호】	120-111
【주소】	서울특별시 서대문구 연희1동 537-23
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	16 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	29,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 1차 RTP 공정에 의해 코발트 모노 실리사이드막을 형성한 후 도우너나 억셉터로 작용하지 않는 이온을 저에너지 및 저도우즈로 이온 주입하여 비정질화시키고 2차 RTP 공정에 의해 코발트 실리사이드막을 형성함으로써 접합 영역의 도펀트의 외부 확산에 의한 손실을 방지할 수 있는 반도체 소자의 제조 방법이 제시된다.

【대표도】

도 1d

【색인어】

코발트 실리사이드막, F 외부 확산, 탄소 이온 주입, 비정질화

【명세서】

【발명의 명칭】

반도체 소자의 제조 방법 {Method of manufacturing a semiconductor device}

【도면의 간단한 설명】

도 1(a) 내지 도 1(e)는 본 발명에 따른 반도체 소자의 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도.

도 2(a)는 BF_2 이온을 주입하여 접합 영역을 형성한 후 B와 F의 이온 분포를 나타낸 도면.

도 2(b)는 일반적인 공정으로 2차 RTP 공정을 실시할 때 B와 F의 확산을 나타낸 도면.

도 2(c)는 1차 RTP 공정 후 탄소 이온 주입으로 CF_x 가 형성되어 외부 확산되는 것을 나타낸 도면.

<도면의 주요 부분에 대한 부호의 설명>

11 : 반도체 기판 12 : 게이트 산화막

13 : 폴리실리콘막 14 : 스페이서

15 : 접합 영역 16 : 절연막

17 : 비정질층 18 : 코발트막

19 : TiN막 20 : 코발트 모노 실리사이드막

21 : 코발트 디실리사이드막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 1차 RTP 공정에 의해 코발트 모노 실리사이드막을 형성한 후 도우너나 엑셉터로 작용하지 않는 탄소(carbon) 이온을 저에너지 및 저도우즈로 이온 주입하여 코발트 모노 실리사이드막을 비정질화시키고 2차 RTP 공정에 의해 코발트 실리사이드막을 형성함으로써 접합 영역의 도펀트의 외부 확산에 의한 손실을 방지할 수 있는 반도체 소자의 제조 방법에 관한 것이다.
- <13> 로직(logic) 소자의 소오스/드레인 영역(액티브 영역)에 코발트 실리사이드막을 형성하는데, 이는 소자의 하부에 형성된 단위 트랜지스터와 상부의 금속 배선의 콘택 저항을 감소시켜 소자의 RC 딜레이(delay) 특성 개선에 따른 소자의 속도 향상을 위해서이다. 이는 일단 소오스/드레인 영역(액티브 영역)의 코발트 실리사이드막을 형성하는 것만으로도 콘택 부위의 텅스텐 플러그와 코발트 실리사이드막 사이에 오믹 콘택이 형성되어 콘택 저항은 감소한다.
- <14> 한편, 고농도 n형 또는 p형 이온 주입 공정을 실시하여 형성하는 접합 영역의 도펀트 농도는 콘택 저항에 큰 영향을 미친다. 여기서, 고농도 p형 접합 영역의 경우 도펀트등이 일정한 농도로 분포되고 있는 접합 영역에 코발트 실리사이드막이 형성되면서 고농도 p형 이온 주입시 형성된 BF_2 농도 분포를 코발트 실리사이드막이 잠식하게 된다. 한편, BF_2 이온은 B와 F가

분리되어 코발트 실리사이드막을 형성할 때 또는 형성한 후 후속 열버짓에 의해 재분포가 일어나 B는 코발트 실리사이드막 표면으로 외부 확산되고, F는 접합 영역과 반도체 기판의 계면에 파일업(pile up)되어 코발트 실리사이드막을 형성한 후 접합 영역과 반도체 기판의 계면의 거칠기(roughness)가 증가하게 된다. 이는 실제로 소자를 구현한 후 소자의 특성에 중요한 n웰 접합 누설 전류 특성의 열화를 야기시키게 된다.

【발명이 이루고자 하는 기술적 과제】

- <15> 본 발명의 목적은 도펀트의 손실없이 코발트 실리사이드막을 형성함으로써 소자의 특성을 향상시킬 수 있는 반도체 소자의 제조 방법을 제공하는데 있다.
- <16> 본 발명의 목적은 코발트 모노 실리사이드막을 형성한 후 탄소 주입 공정을 실시하여 코발트 모노 실리사이드막을 비정질화시킨 후 코발트 디실리사이드막을 형성함으로써 도펀트의 외부 확산에 따른 손실을 방지하여 소자의 특성을 향상시킬 수 있는 반도체 소자의 제조 방법에 관한 것이다.
- <17> 본 발명에서는 코발트 모노 실리사이드막을 형성하기 위한 1차 RTP 공정을 실시한 후 미반응 코발트막과 TiN막을 제거하기 이전에 도우너(doner)나 억셉터(acceptor)로 작용하지 않는 탄소 이온을 낮은 에너지 및 낮은 도우즈 조건으로 주입하여 코발트 모노실리사이드의 표면을 비정질화시킴으로써 코발트 디실리사이드막을 형성할 때 또는 후속 열버짓에 의한 F 원자의 표

면 방향 재분포를 유도하여 기존의 F 파일업(file up)에 의해 열악한 접합 영역과 반도체 기판의 계면 거칠기(roughness)를 향상시킨다.

【발명의 구성 및 작용】

<18> 본 발명의 실시 예에 따른 반도체 소자의 제조 방법은 반도체 기판 상부의 소정 영역에 게이트를 형성하고 그 측벽에 스페이서를 형성한 후 상기 반도체 기판상의 소정 영역에 접합 영역을 형성하는 단계와, 전체 구조 상부에 코발트막 및 버퍼층을 형성하는 단계와, 1차 RTP 공정을 실시하여 상기 게이트 및 상기 접합 영역 상부에 코발트 모노 실리사이드막을 형성하는 단계와, 탄소 주입 공정을 실시하여 상기 코발트 모노 실리사이드막의 표면을 비정질화시켜 비정질 코발트 실리사이드막을 형성하는 단계와, 상기 미반응 코발트막 및 버퍼층을 제거한 후 2차 RTP 공정을 실시하여 코발트 디실리사이드막을 형성하는 단계를 포함하여 이루어진 것을 특징으로 한다.

<19> 본 발명의 다른 실시 예에 따른 반도체 소자의 제조 방법은 반도체 기판 상부의 소정 영역에 게이트를 형성하고 그 측벽에 스페이서를 형성한 후 상기 반도체 기판상의 소정 영역에 접합 영역을 형성하는 단계와, 전체 구조 상부에 절연막을 형성한 후 실리사이드막을 형성하고자 하는 영역의 상기 절연막을 제거하는 단계와, 전체 구조 상부에 코발트막 및 TiN막을 형성하는 단계와, 1차 RTP 공정을 실시하여 상기 절연막이 제거되어 노출된 상기 게이트 및 상기 접합 영역과 상기 코발트막을 반응시켜 코발트 모노 실리사이드막을 형성하는 단계와, 탄소 주입 공정을 실시하여 상기 코발트 모노 실리사이드막의 표면을 비정질화시켜 비정질 코발트 실리사이드막을 형성하는 단계와, 상기 미반응 코발트막 및 TiN막을 제거한 후 2차 RTP 공정을 실시하여 코발트 디실리사이드막을 형성하는 단계를 포함하여 이루어진 것을 특징으로 한다.

- <20> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써 본 발명을 상세히 설명한다. 그러나, 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하며, 이 기술 분야에서 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 또한, 도면상에서 동일 부호는 동일 요소를 지칭한다.
- <21> 도 1(a) 내지 도 1(e)는 본 발명에 따른 반도체 소자의 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도이다.
- <22> 도 1(a)를 참조하면, 반도체 기판(11) 상부에 게이트 산화막(12) 및 폴리실리콘막(13)을 적층한다. 게이트 마스크를 이용한 리소그래피 공정 및 식각 공정으로 폴리실리콘막(13) 및 게이트 산화막(12)을 패터닝하여 게이트를 형성한다. 게이트 측벽에 스페이서(14)를 형성한 후 고농도의 BF_2 이온 주입 공정을 실시하여 반도체 기판(11)상에 접합 영역(15)을 형성한다. 그리고, 전체 구조 상부에 절연막(16)을 형성한다. 이때, 절연막(16)은 선택된 영역에서 실리사이드가 형성되는 것을 방지하기 위해 형성하는 것이다.
- <23> 도 1(b)를 참조하면, 실리사이드막을 형성하고자 하는 영역의 절연막(16)을 제거한다. 그리고, 전체 구조 상부에 코발트막(17)을 형성한 후 그 상부에 코발트막(17)의 이상 산화를 방지하기 위한 TiN막(18)을 형성한다. 이에 의해 실리사이드막을 형성하고자 하는 영역의 폴리실리콘막(13) 및 접합 영역(15)과 직접 접촉되도록 코발트막(17)이 형성된다. 여기서, 코발트막(17)은 초기 $1\text{E}-7 \sim 1\text{E}-8\text{Torr}$ 정도의 압력을 유지하는 반응로를 $1\text{E}-2 \sim 1\text{E}-4\text{Torr}$ 정도로 유지시키고, 온도를 상온 $\sim 550^\circ\text{C}$ 정도로 유지시켜 형성하며, DC 스퍼터링 방법, RF 스퍼터링 방법 또는 CVD 방법을 이용하여 $70 \sim 150\text{\AA}$ 정도의 두께로 형성한다. 한편, 본 발명의 표면 비정질층

을 형성하기 위해서는 탄소 이온 주입 버퍼층이 존재해야 하며, 이때 사용되는 버퍼층이 TiN막(18)이기 때문에 TiN막(18)의 증착 두께가 중요한 변수가 된다. 이때, TiN막(18)은 초기 $1\text{E}-7 \sim 1\text{E}-8\text{Torr}$ 정도의 압력을 유지하는 반응로를 $1\text{E}2 \sim 1\text{E}4\text{Torr}$ 정도로 유지시키고, 온도를 상온 $\sim 400^\circ\text{C}$ 정도 유지시켜 형성하며, DC 스퍼터링 방법, RF 스퍼터링 방법 또는 CVD 방법을 이용하여 $100 \sim 500\text{\AA}$ 정도의 두께로 형성한다.

<24> 도 1(c)를 참조하면, 1차 RTP 공정을 실시하여 실리사이드막을 형성하고자 하는 영역의 폴리실리콘막(13) 및 접합 영역(15)과 코발트막(17)을 반응시켜 코발트 모노 실리사이드막(19)을 형성한다. 이때, 1차 RTP 공정은 $430 \sim 530^\circ\text{C}$ 정도의 온도에서 질소(N_2), 아르곤(Ar), 헬륨(He) 및 수소(H_2)를 각각 $10 \sim 1000\text{sccm}$ 정도 유입시켜 10초 \sim 60초동안 실시한다. 이렇게 하면 코발트 모노 실리사이드막(19)이 형성된 접합 영역(15)의 B, F의 원자 분포는 도 2(a)에 도시된 바와 같이 된다.

<25> 도 1(d)를 참조하면, TiN막(18)을 이온 주입 버퍼층으로 하여 비정질화를 위한 탄소 이온 주입 공정을 실시함으로써 코발트 모노 실리사이드막(19)의 표면을 비정질화시켜 그 부분에 비정질 코발트 실리사이드막(20)을 형성한다. 그런데, 추가적인 탄소 이온 주입 공정을 실시하지 않는 기존의 코발트 실리사이드 형성 공정에서는 2차 RTP 공정을 진행할 때 도 2(b)에 도시된 바와 같이 B가 표면 방향으로 확산되고, F는 반도체 기판 방향으로 확산된다. 그러나, 도 2(c)에 도시된 바와 같이 탄소 이온을 주입하면 코발트 모노 실리사이드막(19)이 비정질화되고, 코발트 모노 실리사이드막(19)내의 F와 탄소가 결합하여 CF_x 가 형성되어 이후 2차 RTP 공정에서 외부 확산된다. 이로써 F 원자는 코발트 실리사이드내에 존재하지 않게 되고, 이로써 양호한 코발트 실리사이드막을 형성할 수 있다. 여기서, 탄소 이온 공정은 $5 \sim 100\text{keV}$ 정도의

저에너지 및 $1\text{E}13 \sim 1\text{E}16 \text{ atoms/cm}^2$ 정도의 저도우즈로 실시하며, $50 \sim 1000 \text{ \AA}$ 정도의 깊이로 실시한다.

<26> 도 1(e)를 참조하면, 미반응 코발트막(17) 및 TiN막(18)을 제거한 후 2차 RTP 공정을 실시하여 코발트 실리사이드막(21)을 형성한다. 이때, 2차 RTP 공정은 $650 \sim 800^\circ\text{C}$ 정도의 온도에서 질소(N_2), 아르곤(Ar), 헬륨(He) 및 수소(H_2)를 각각 $10 \sim 1000 \text{ sccm}$ 정도 유입시켜 5초 ~ 30초동안 실시한다.

【발명의 효과】

<27> 상술한 바와 같이 본 발명에 의하면 1차 RTP 공정에 의해 코발트 모노 실리사이드막을 형성한 후 도우너나 엑셉터로 작용하지 않는 탄소 이온을 저에너지 및 저도우즈로 이온 주입하여 비정질화시키고 2차 RTP 공정에 의해 코발트 실리사이드막을 형성함으로써 접합 영역의 도펀트의 외부 확산에 의한 손실을 방지할 수 있다. 따라서, 접합 영역과 반도체 기판의 계면 거칠기를 열화시키는 원인인 F 원자의 확산을 방지하여 접합 누설 전류 특성을 향상시킬 수 있고, 고속 로직 소자의 특성을 향상시킬 수 있으며, 나아가 소자 특성 마진을 확보할 수 있어 제품 양산시 수율 향상에 기여 할 수 있다. 또한, 본 발명의 추가적인 탄소 이온 주입 공정이 적용된 TiN 캐핑층은 일반적인 코발트 실리사이드막 형성 공정의 그것보다 좀더 다공성(porous) 특성을 갖게 되어 코발트막과 TiN막을 제거할 때 항상 문제가 되고 있는 잔류물이 발생할 가능성을 감소시켜 공정 마진을 충분히 확보할 수 있다. 한편, 향후 적용 예정인 니켈 실리사이드막의 경우 니켈 실리사이드막이 기존의 코발트 실리사이드와 거의 유사한 물성 및 소



1020030049426

출력 일자: 2003/10/14

자 특성을 나타내기 때문에 본 발명의 추가 비정질화 이온 주입 공정을 적용하면 코발트 실리
사이드막의 특성 향상 이상의 특성 향상이 예상된다.

【특허청구범위】**【청구항 1】**

반도체 기판 상부의 소정 영역에 게이트를 형성하고 그 측벽에 스페이서를 형성한 후 상기 반도체 기판상의 소정 영역에 접합 영역을 형성하는 단계;

전체 구조 상부에 코발트막 및 버퍼층을 형성하는 단계;

1차 RTP 공정을 실시하여 상기 게이트 및 상기 접합 영역 상부에 코발트 모노 실리사이드막을 형성하는 단계;

탄소 주입 공정을 실시하여 상기 코발트 모노 실리사이드막의 표면을 비정질화시켜 비정질 코발트 실리사이드막을 형성하는 단계; 및

상기 미반응 코발트막 및 버퍼층을 제거한 후 2차 RTP 공정을 실시하여 코발트 디실리사이드막을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 2】

제 1 항에 있어서, 상기 코발트막은 초기 $1\text{E}-7$ 내지 $1\text{E}-8\text{Torr}$ 의 압력을 유지하는 반응로를 $1\text{E}-2$ 내지 $1\text{E}-4\text{Torr}$ 로 유지시키고, 온도를 상온 내지 550°C 정도로 유지시켜 형성하며, DC 스퍼터링 방법, RF 스퍼터링 방법 또는 CVD 방법을 이용하여 70 내지 150\AA 의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 3】

제 1 항에 있어서, 상기 버퍼층은 TiN막인 것을 특징으로 하는 반도체 소자의 제조 방법

【청구항 4】

제 3 항에 있어서, 상기 TiN막은 초기 $1\text{E}-7$ 내지 $1\text{E}-8\text{Torr}$ 의 압력을 유지하는 반응로를 $1\text{E}2$ 내지 $1\text{E}4\text{Torr}$ 로 유지시키고, 온도를 상온 내지 400°C 로 유지시켜 형성하며, DC 스퍼터링 방법, RF 스퍼터링 방법 또는 CVD 방법을 이용하여 100 내지 500\AA 의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 5】

제 1 항에 있어서, 상기 1차 RTP 공정은 질소, 아르곤, 헬륨 및 수소를 각각 10 내지 1000sccm 정도 유입시키고 430 내지 530°C 의 온도에서 10 초 내지 60 초동안 실시하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 6】

제 1 항에 있어서, 상기 탄소 이온 주입 공정은 10 내지 100keV 의 에너지 및 $1\text{E}14$ 내지 $1\text{E}16\text{atoms}/\text{cm}^2$ 의 도우즈로 실시하며, 50 내지 1000\AA 의 깊이로 실시하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 7】

제 1 항에 있어서, 상기 2차 RTP 공정은 질소, 아르곤, 헬륨 및 수소를 각각 10 내지 1000sccm 정도 유입시키고 650 내지 800℃ 정도의 온도에서 5초 내지 30초동안 실시하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 8】

반도체 기판 상부의 소정 영역에 게이트를 형성하고 그 측벽에 스페이서를 형성한 후 상기 반도체 기판상의 소정 영역에 접합 영역을 형성하는 단계;

전체 구조 상부에 절연막을 형성한 후 실리사이드막을 형성하고자 하는 영역의 상기 절연막을 제거하는 단계;

전체 구조 상부에 코발트막 및 TiN막을 형성하는 단계;

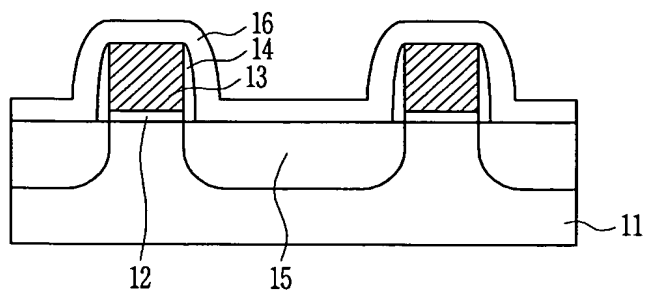
1 차 RTP 공정을 실시하여 상기 절연막이 제거되어 노출된 상기 게이트 및 상기 접합 영역과 상기 코발트막을 반응시켜 코발트 모노 실리사이드막을 형성하는 단계;

탄소 주입 공정을 실시하여 상기 코발트 모노 실리사이드막의 표면을 비정질화시켜 비정질 코발트 실리사이드막을 형성하는 단계; 및

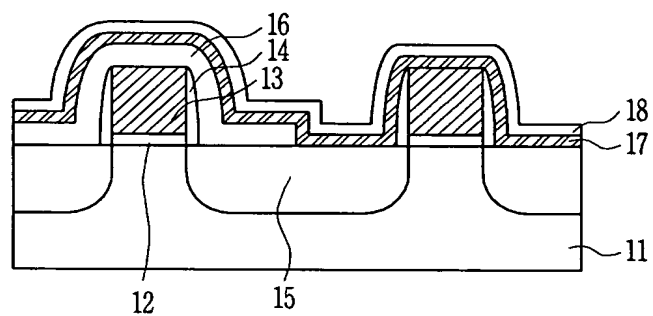
상기 미반응 코발트막 및 TiN막을 제거한 후 2차 RTP 공정을 실시하여 코발트 디실리사이드막을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

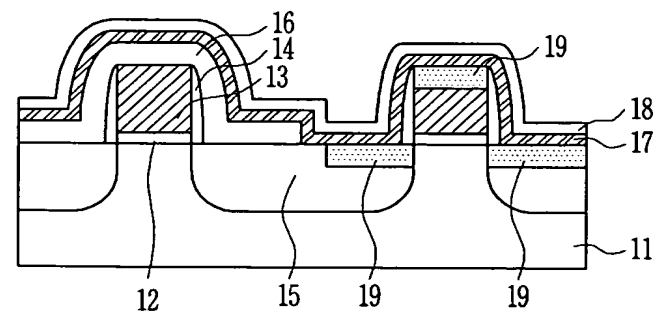
【도 1a】



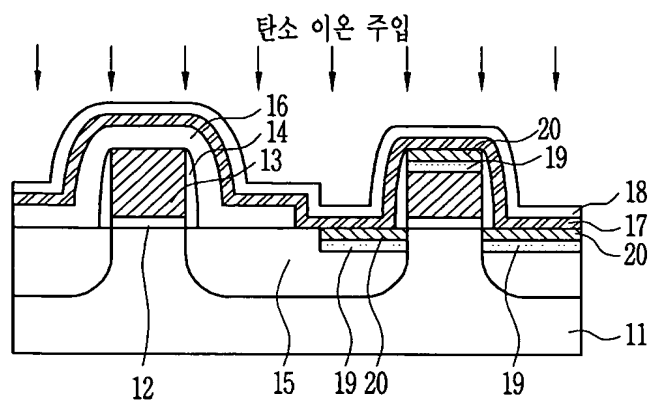
【도 1b】



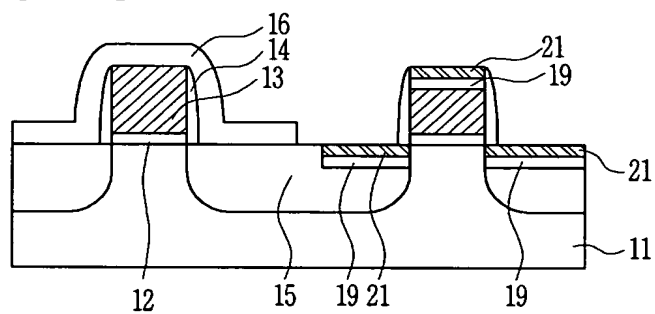
【도 1c】



【도 1d】



【도 1e】



【도 2】

